

11/5/3 (Item 3 from file: 351) [Links](#)

Derwent WPI

(c) 2007 The Thomson Corporation. All rights reserved.

0007086880 *Drawing available*

WPI Acc no: 1995-112524/199515

XRPX Acc No: N1995-088652

Clock switching circuit - has selection circuit whose outputs produce desired phase difference between master clock and unsynchronised clock

Patent Assignee: NEC CORP (NIDE)

Inventor: ARAI T

Patent Family (1 patents, 1 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 7038398	A	19950207	JP 1993197972	A	19930715	199515	B

Priority Applications (no., kind, date): JP 1993197972 A 19930715

Patent Details

Patent Number	Kind	Lan	Pgs	Draw	Filing Notes
JP 7038398	A	JA	5	4	

Alerting Abstract JP A

The clock switching circuit uses a divider circuit (1) provided with master clock signal (MCLK). The divider circuit gives two output clocks (CLK0,CLK1), to the AND gates (31,32) of a selecting circuit (3). The clocks differ in phase by 90(deg). The other input terminals of these AND gates get two selecting signals (SEL0,SEL1), from a synchronising circuit (2). The synchronising circuit consists of two flip-flops (21,22) with an asynchronous input clock signal (ASYNG SEL). The first flip-flop acts only during the falling edges of the master clock and the second flip-flop acts only during the leading edge of the master clock.

The synchronising circuit makes the asynchronous signal get synchronised with the master clock.

The trailing edges of the selecting signal and that the selecting signal are occurring at centre points of the clock (CLK0,CLK1) respectively. The outputs from the AND gates are given to an OR gate (33), to get a switching signal (CLK).

ADVANTAGE - Obtains clock signal with desired phase shift between master clock signal and unsynchronised clock signal. Removes glitch noises from clock signal.

Title Terms /Index Terms/Additional Words: CLOCK; SWITCH; CIRCUIT; SELECT; OUTPUT; PRODUCE; PHASE; DIFFER; MASTER; UNSYNCHRONISED

Class Codes

International Patent Classification

IPC	Class Level	Scope	Position	Status	Version Date	
G06F-0001/06	A	I	F	R	20060101	
H03K-0017/00	A	I	L	R	20060101	

H03K-0017/16	A	I	L	R	20060101
H03K-0005/00	A	I	L	R	20060101
G06F-0001/06	C	I	F	R	20060101
H03K-0017/00	C	I	L	R	20060101
H03K-0017/16	C	I	L	R	20060101
H03K-0005/00	C	I	L	R	20060101

File Segment: EPI;

DWPI Class: T01; U22

Manual Codes (EPI/S-X): T01-K; U22-D04; U22-D06

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-38398

(43)公開日 平成7年(1995)2月7日

(51)Int.Cl.⁶
H 03 K 17/00
G 06 F 1/06
H 03 K 5/00

識別記号 庁内整理番号
F 9184-5 J

F I

技術表示箇所

7165-5B G 06 F 1/ 04 3 1 0 A
7402-5 J H 03 K 5/ 00 X

審査請求 有 請求項の数 2 FD (全 5 頁) 最終頁に続く

(21)出願番号 特願平5-197972

(22)出願日 平成5年(1993)7月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 荒井 恒壽

東京都港区芝5丁目7番1号 日本電気株
式会社内

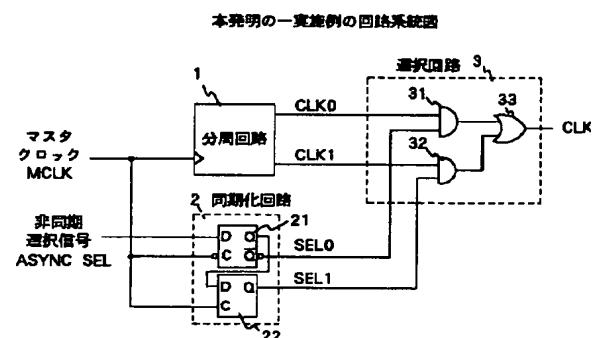
(74)代理人 弁理士 松浦 兼行

(54)【発明の名称】 クロック切替回路

(57)【要約】

【目的】 本発明はマスタクロックに同期した複数の互いに位相の異なるクロックを任意に切替出力するクロック切替回路に関し、グリッチノイズを発生することなくクロック切替えするクロック切替回路を実現することを目的とする。

【構成】 分周回路1はマスタクロックMCLKを2分周して、互いに90°位相の異なる第1のクロックCLK0と第2のクロックCLK1とを発生する。同期化回路2はマスタクロックMCLKの立下りで動作する第1のフリップフロップ21と、マスタクロックMCLKの立上りで動作する第2のフリップフロップ22となりなる。選択回路3はAND回路31及び32とOR回路33となりなる。同期化回路2は非同期選択信号をマスタクロックに同期させ、かつ、それぞれクロックCLK0とクロックCLK1の所定論理値の中央付近の位相で前縁又は後縁を有する選択信号SEL0とSEL1を発生する。



1

【特許請求の範囲】

【請求項1】 マスタクロックを分周して互いに位相の異なる複数のクロックを発生する分周回路と、該マスタクロックと非同期選択信号とが入力され、該非同期選択信号を該マスタクロックに同期させ、かつ、それぞれ前記複数のクロックの所定論理値の中央付近の位相で前縁又は後縁を有する複数の選択信号を発生する同期化回路と、前記複数のクロックと前記複数の選択信号とが入力され、該複数のクロックのうち所望のクロックを該複数の選択信号により選択する選択回路とを有することを特徴とするクロック切替回路。

【請求項2】 前記分周回路は位相が異なる第1及び第2のクロックを発生し、前記同期化回路は前記マスタクロックの立下りに同期した第1の選択信号と該マスタクロックの立上りに同期した第2の選択信号とを発生し、前記選択回路は前記第1の選択信号が所定論理値のとき前記第1のクロックを選択し、前記第2の選択信号が所定論理値のとき前記第2のクロックを選択することを特徴とする請求項1記載のクロック切替回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はクロック切替回路に係り、特にマスタクロックに同期した複数の互いに位相の異なるクロックを任意に切替出力するクロック切替回路に関する。

【0002】

【従来の技術】 従来より、マスタクロックとマスタクロックを分周したクロックの一方を選択する選択回路の切替信号（選択信号）を、マスタクロックに同期化させて生成する同期化回路を有するクロック切替回路が知られている（特開昭63-232615号公報）。このクロック切替回路において、マスタクロックを分周した互いに逆位相の2種類のクロックを切り替える様に構成した場合の、従来のクロック切替回路の一例の回路系統図を図3に示す。

【0003】 図3において、分周回路4は図4(A)に示すマスタクロックMCLKを例えば2分周して互いに位相が異なる図4(B)に示す第1のクロックCLK0と同図(C)に示す第2のクロックCLK1とを生成し、これらのクロックCLK1及びCLK2をそれぞれ選択回路6に入力する。

【0004】 同期化回路5は上記のマスタクロックMCLKと図4(D)に示す非同期選択信号ASYNCSELとが入力され、非同期選択信号ASYNCSELをマスタクロックMCLKに同期させた図4(E)に示す如き選択信号SELを生成し、これを選択回路6に入力する。

【0005】 選択回路6は図3に示すように、クロックCLK0、CLK1がそれぞれ一方の入力端子に入力さ

2

れる2入力AND回路61及び62と、選択信号SELをAND回路62の他方の入力端子に供給するインバータ63と、AND回路61及び62の出力信号がそれれ入力される2入力OR回路64により構成されている。

【0006】かかる構成のクロック切替回路によれば、選択信号SELがローレベル(L)のときには、AND回路61及び62のうちAND回路62がゲート「開」状態とされ、クロックCLK1がAND回路62及びOR回路64を通して選択出力される。一方、選択信号SELがハイレベル(H)のときには、AND回路61及び62のうちAND回路61がゲート「開」状態とされ、クロックCLK0がAND回路61及びOR回路64を通して選択出力される。

【0007】このように、従来のクロック切替え回路では、クロック切替えのための選択信号ASYNCSELがマスタクロックMCLKに非同期であっても、同期化回路5によりマスタクロックMCLKに同期させた選択信号SELを生成してクロックCLK0及びCLK1の一方を選択することにより、ノイズの発生のないクロック出力を得るようにしている。

【0008】

【発明が解決しようとする課題】 しかるに、上記の従来のクロック切替回路は、マスタクロックMCLKの立ち上がりに同期させた単一の選択信号SELで、二つのクロックCLK0及びCLK1の一方を選択する構成であるため、CLK0からCLK1へ切替えるために選択信号SELが“H”から“L”へ変化した時、AND回路61は直ちにゲート「閉」状態に切り替わるが、AND回路62はインバータ63の遅延時間により若干遅れてゲート「開」状態に切り替わる。

【0009】このため、CLK1が選択される前にCLK0が禁止されることとなり、CLK0の立ち下がりがマスタクロックMCLKの立ち上がりより若干速い場合は、図4(F)にC点で示す如く、OR回路64から出力される選択されたクロックCLKにひげ状のグリッチノイズが発生する。

【0010】また、選択信号SELをマスタクロックMCLKの立ち下がりに同期させるように発生させた場合も、同様に出力クロックCLKにグリッチノイズが発生することがある。このように、上記の従来のクロック切替回路では、単一の選択信号SELにより選択回路6を選択動作させているため、出力クロックCLKにぐりっちノイズが発生する可能性があるという問題がある。

【0011】本発明は上記の点に鑑みされたもので、クロックを選択する選択回路を動作させる選択信号を、選択するクロック対応に設けることにより、上記の課題を解決したクロック切替え回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記の目的を達成するため、マスタクロックを分周して互いに位相の異なる複数のクロックを発生する分周回路と、マスタクロックと非同期選択信号とが入力され、非同期選択信号をマスタクロックに同期させ、かつ、それぞれ前記複数のクロックの所定論理値の中央付近の位相で前縁又は後縁を有する複数の選択信号を発生する同期化回路と、前記複数のクロックと前記複数の選択信号とが入力され、複数のクロックのうち所望のクロックを複数の選択信号により選択する選択回路とを有する構成としたものである。

【0013】

【作用】本発明では、前記同期化回路により非同期選択信号をマスタクロックに同期させた複数の選択信号を発生すると共に、その複数の選択信号の前縁又は後縁が複数のクロックそれぞれの所定の論理値の中央付近の位相に位置するように発生しているため、前記選択回路がその複数の選択信号の前縁又は後縁で選択クロックを切り替える切替えタイミングをずらすことができる。

【0014】

【実施例】図1は本発明の一実施例の回路系統図、図2は図1の動作説明用タイムチャートを示す。本実施例のクロック切替回路は、図1に示すようにマスタクロックMCLKが入力される分周回路1と、マスタクロックMCLK及び非同期選択信号ASYNC SELが入力される同期化回路2と、選択回路3となり、同期化回路2と選択回路3の構成が従来と異なる。

【0015】分周回路1は従来の分周回路4と同一構成で、図2(A)に示すマスタクロックMCLKを2分周して、互いに90°位相の異なる図2(B)に示す第1のクロックCLK0と同図(C)に示す第2のクロックCLK1とを発生する。

【0016】同期化回路2は図1に示すように、マスタクロックMCLKの立下りで動作する第1のフリップフロップ21と、マスタクロックMCLKの立上りで動作する第2のフリップフロップ22とよりなる。フリップフロップ21のQ出力端子はフリップフロップ22のD入力端子に接続され、また非同期選択信号ASYNCS SELはフリップフロップ21のD入力端子に供給される構成とされている。

【0017】選択回路3は分周回路1からの第1のクロックCLK0と同期化回路2からの第1の選択信号SEL0とが入力される第1のAND回路31と、分周回路2からの第2のクロックCLK1と同期化回路2からの第2の選択信号SEL1とが入力される第2のAND回路32と、これらのAND回路31及び32の両出力信号が入力される2入力OR回路33となりなる。

【0018】次に、本実施例の動作について図2のタイムチャートと共に説明する。いま、同期化回路2の出力選択信号SEL0が“H”で、SEL1が“L”である

ものとすると、AND回路31がゲート「開」状態で、AND回路32がゲート「閉」状態とされるため、分周回路1からの図2(B)に示す第1のクロックCLK0のみが選択されてOR回路33より出力クロックCLKとして出力される。

【0019】ここで、CLK1を選択する”H”的非同期選択信号ASYNC SELが図2(D)にaで示す時点で入力されると、時点aの直後のマスタクロックMCLKの立下り入力時点t₁で同期化回路2内のフリップフロップ21が動作して、その時の非同期入力信号ASYNC SELをラッチして、そのラッチしたレベルと逆極性の”L”的信号をQバー出力端子より図2(E)に示す如く前記第1の選択信号SEL0として出力する。

【0020】そして、時点t₁に続くマスタクロックMCLKの半周期後の時点t₂でフリップフロップ22が動作し、その時のフリップフロップ21のQ出力信号レベル”H”をラッチして、”H”的信号をそのQ出力端子から図2(F)に示す如く前記第2の選択信号SEL1として出力する。

【0021】これにより、時点t₁でAND回路31がゲート「閉」状態とされてクロックCLK0の選択を禁止した後、時点t₂でAND回路32がゲート「開」状態とされるため、時点t₂以降クロックCLK1がAND回路32及びOR回路33をそれぞれ通して出力クロックCLKとして取り出される。

【0022】ここで、上記の選択信号SEL0が立下る時点(後縁)t₃は図2(B)に示すように、クロックCLK0が”L”である期間の略中央の位置であり、また、上記の選択信号SEL1が立上る時点(前縁)t₄は図2(C)に示すように、クロックCLK1が”L”である期間の略中央の位置である。

【0023】従って、上記の時点t₁からt₄までの期間は、AND回路31及び32はいずれもゲート「閉」状態で出力クロックCLKは”L”であり、マスタクロックMCLKの立下り時点t₁でクロックCLK1の立下りが一致していないても、その後の時点t₂で選択回路3で選択されるクロックがCLK0からCLK1に切り替わるため、その切替時点で図2(G)に示す如くグリッヂノイズは発生することはない。

【0024】その後、CLK0を選択するために図2(D)にbで示す時点で非同期選択信号ASYNC SELが”L”とされると、その直後のマスタクロックMCLKの立下り時点t₅でフリップフロップ21が動作し、そのQバー出力端子から取り出される選択信号SEL0が図2(E)に示す如く”H”に立上る。また、時点t₅直後のマスタクロックMCLKの立上り時点t₆でフリップフロップ22が動作し、そのQ出力端子から取り出される選択信号SEL1が図2(F)に示す如く”L”に立下る。

【0025】これにより、時点 t_3 で AND 回路 31 がゲート「開」状態とされてクロック CLK0 が選択され、その後の時点 t_4 で AND 回路 32 がゲート「閉」状態とされてクロック CLK1 の選択を禁止する。ここで、上記の選択信号 SEL0 が立上る時点（前縁） t_5 は図 2 (B) に示すように、クロック CLK0 が“L”である期間の略中央の位置であり、また、上記の選択信号 SEL1 が立下る時点（後縁） t_6 は図 2 (C) に示すように、クロック CLK1 が“L”である期間の略中央の位置である。従って、上記のクロック CLK1 から CLK2 の切替時もグリッチノイズが発生することはない。

【0026】このように、本実施例によれば、複数のクロックをグリッチノイズを発生させることなく切り替えることができるとともに、マスタクロック MCLK の 2 倍の周波数のクロックがなくても、マスタクロック MCLK の半周期単位で CLK0 と CLK1 のクロックの切替えができる。

【0027】なお、本発明は上記の実施例に限定されるものではなく、例えば分周回路 1 はマスタクロックを互いに 90° ずつ位相が異なる 4 相のクロックに分周する構成とし、同期化回路 2 はこれら 4 相のクロックのうちそれぞれ対応するクロックの所定論理値の略中央付近の位置で、かつ、マスタクロックに同期して変化する 4 相*

* の選択信号を発生する構成とし、これにより 4 相のクロックのうち任意の一のクロックを選択回路で選択するよう構成することもできるものである。

【0028】

【発明の効果】以上説明したように、本発明によれば、選択回路が複数の選択信号の前縁又は後縁で選択クロックを切り替える切替えタイミングを、対応するクロックの所定論理値になるようにずらしたため、複数のクロックをグリッチノイズを発生させることなく切り替えることができる。また、本発明によれば、マスタクロックの半周期単位でクロックの切替えができる。

【図面の簡単な説明】

【図 1】本発明の一実施例の回路系統図である。

【図 2】図 1 の動作説明用タイムチャートである。

【図 3】従来の一例の回路系統図である。

【図 4】図 3 の動作説明用タイムチャートである。

【符号の説明】

1 分周回路

2 同期化回路

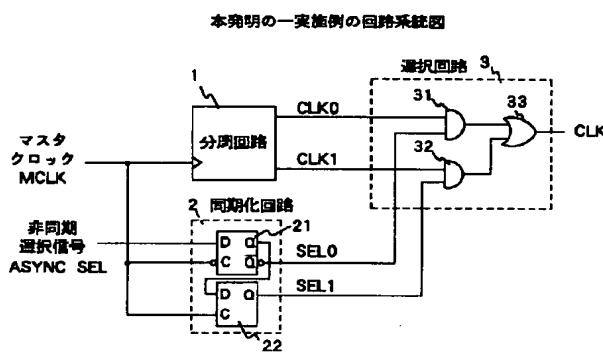
3 選択回路

21、22 フリップフロップ

31、32 AND 回路

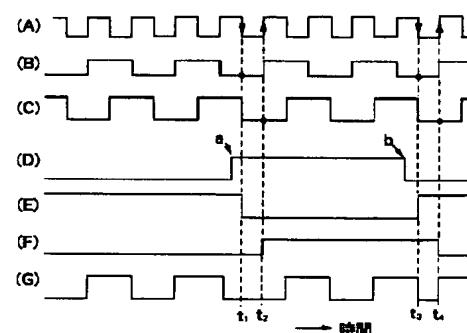
33 OR 回路

【図 1】

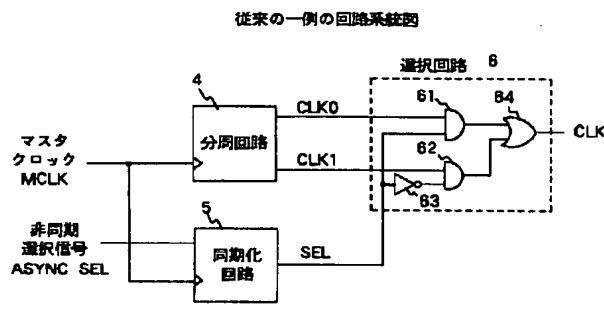


【図 2】

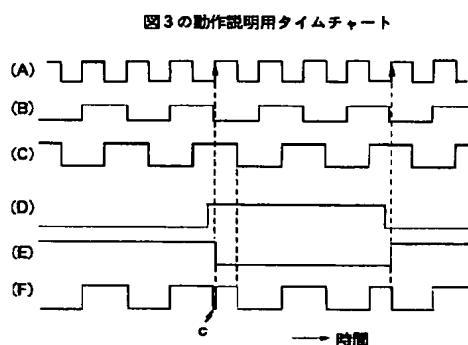
図 1 の動作説明用タイムチャート



【図3】



【図4】



フロントページの続き

(51) Int.CI.⁵

H 0 3 K 17/16

識別記号

府内整理番号

F 9184-5J

F I

技術表示箇所